

薄膜晶体管液晶显示器的点对点传输协议

赵斌, 周明忠, 张裕桦, 王照, 王念茂, 徐枫程, 王拂依, 肖剑锋

引用本文:

赵斌, 周明忠, 张裕桦, 等. 薄膜晶体管液晶显示器的点对点传输协议[J]. 液晶与显示, 2020, 35(4): 334–340.

ZHAO Bin, ZHOU Ming-jong, ZHANG Yu-hua, et al. Point-to-point interface protocol for thin film transistor-liquid crystal display[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(4): 334–340.

在线阅读 View online: <https://doi.org/10.3788/YJYXS20203504.0334>

您可能感兴趣的其他文章

Articles you may be interested in

以太网数传系统在FPGA上的实现

Realization of Ethernet data transmission system on FPGA

液晶与显示. 2017, 32(8): 607–613 <https://doi.org/10.3788/YJYXS20173208.0607>

基于FPGA的BiSS-C协议编码器接口技术研究及解码实现

Research and realization of BiSS-C protocol encoder interface based on FPGA

液晶与显示. 2016, 31(4): 386–391 <https://doi.org/10.3788/YJYXS20163104.0386>

基于OLED微显示器的原子扫描控制器设计

Design of atomic scan controller based on OLED microdisplay

液晶与显示. 2019, 34(4): 395–401 <https://doi.org/10.3788/YJYXS20193404.0395>

基于FPGA的TFT液晶显示时序控制器设计

FPGA-based TFT LCD timing controller design

液晶与显示. 2015, 30(4): 647–654 <https://doi.org/10.3788/YJYXS20153004.0647>

基于FPGA的多路Cameralink数字图像光纤传输系统

Optical fiber transmission for multi-channel Cameralink digital image based on FPGA

液晶与显示. 2019, 34(8): 787–792 <https://doi.org/10.3788/YJYXS20193408.0787>

文章编号:1007-2780(2020)04-0334-07

薄膜晶体管液晶显示器的点对点传输协议

赵 斌^{1,2}, 周明忠², 张裕桦², 王 照², 王念茂², 徐枫程², 王拂依^{2*}, 肖剑锋²

(1. 华南理工大学 电子与信息学院, 广东 广州 510640;

2. 深圳市华星光电技术有限公司, 广东 深圳 518107)

摘要:随着 TFT-LCD 在尺寸、分辨率及刷新率方向的飞速发展, 优质的显示品味对时序控制器(T-CON)和特定源极驱动芯片(SD)之间的传统接口传输协议速率提出了挑战, 因此成为 TFT-LCD 发展的关键。为了实现数据信号的高速传输, 本文研究并提出了一种新型高速点对点接口传输协议 CSPI(China Standard Point-to-Point Interface)。CSPI 通过嵌入式的 CDR(Clock Data Recovery)机制实现 T-CON 和 SD 之间时钟校准, CDR 校准完成后, 指令信号 LS 输出高电平并反馈发送端 T-CON, 通知 T-CON 可以传输下一阶段有效数据, 同时, CSPI 技术特定封装包对位数据嵌入传输数据线中。数据传输采用特有的 8 位/9 位编码和扰码技术以实现数据快速而不失精准的传输。相对于传统 mini-LVDS 接口协议, CSPI 技术的传输速率可以提升至 3 Gb/s, 有效减少传输线数量, 同时大幅提升信号传输质量。此外, CSPI 时钟信号内置, 可以有效降低 EMI。基于 1 383 mm(55 in)超高清液晶显示屏的实验结果表明, 眼图的最小幅度和宽度分别约为 312 mV 和 548 ps。可以满足系统对传输信号稳定性, 可靠性和抗干扰能力的要求, 同时减少印刷电路板(PCB)布局面积, 有利于降低成本。

关键词:CSPI 传输协议; mini-LVDS; 时序控制器 T-CON; 源极驱动芯片 SD; 嵌入式 CDR; 8 位/9 位编码技术

中图分类号:TN141.9 **文献标识码:**A **doi:**10.3788/YJYXS20203504.0334

Point-to-point interface protocol for thin film transistor-liquid crystal display

ZHAO Bin^{1,2}, ZHOU Ming-jong², ZHANG Yu-hua², WANG Zhao², WANG Nian-mao²,
XU Feng-cheng², WANG Fu-yi^{2*}, XIAO Jian-feng²(1. College of Electronic and Information Engineering, South China University of Technology,
Guangzhou 510640, China;

2. Shenzhen China Star Optoelectronics Technology Co., Ltd., Shenzhen 518107, China)

Abstract: With the development of the thin film transistor-liquid crystal display (TFT-LCD) on size and resolution, the traditional interface transmission protocol between the timing controller (T-CON) and the specific source driver (SD) is no longer applicable and it becomes a critical challenge for the conventional interface protocol. In order to improve the high-speed transmission of data signals, this paper proposes and studies a novel high-speed point-to-point interface transmission protocol in the display panel field, named China Standard Point-to-Point Interface (CSPI). The CSPI protocol

收稿日期:2019-08-10; 修订日期:2020-01-10.

* 通信联系人, E-mail: wangfuyi@tcl.com

implements clock calibration between T-CON and SD through embedded Clock Data Recovery (CDR) mechanism. After CDR calibration completes, the instruction signal Link Status (LS) outputs high level to T-CON, informing the sender that the next stage of valid data can be transmitted. The CSPI technology specific packet alignment data is also embedded in the transmission data line. The particular 8B/9B coding technique is adopted for data transmission as well as a scrambling scheme. Compared with the traditional mini-LVDS interface protocol, CSPI technology can improve transmission rate to 3 Gb/s, and has outstanding features of high data rate and less signal lines which is particularly well-suited for high-end TFT-LCD panel. Moreover, CSPI technology built-in clock signal, which can effectively reduce EMI. Experimental results based on the 55" Ultra-High Definition (UHD) LCD panel indicate that the minimum amplitude and width of the eye diagram are approximately 312 mV and 548 ps, respectively. It can satisfy the system requirements of the stability, reliability and anti-interference ability of the transmitted signal as well as reduce Printed Circuit Board (PCB) layout area.

Key words: China standard point-to-point interface; mini-lvds; timing controller; source driver; embedded clock data recovery; 8b/9b coding technique

1 引言

在平板显示技术中,薄膜晶体管液晶显示器 TFT-LCD(Thin Film Transistor-Liquid Crystal Display)技术以其低工作电压、低功耗、长寿命、无辐射和低成本而占据平板显示器市场的主导地位^[1-3]。TFT-LCD 面板的驱动系统由栅极驱动器 GD(Gate Driver)、源极驱动器 SD(Source Driver)和时序控制器 T-CON(Timing Controller)组成。T-CON 将从信号源接收到的同步控制信号和数据信号分别转换为 GD 和 SD 所需的输入信号,并通过接口协议将数据信号发送到每个 SD。作为当今的主流显示技术,TFT-LCD 正朝着大屏幕、高分辨率和高色深的方向发展,使得传输的数据量急剧增加。接口协议的性能直接关系到显示的品味。因此,对于 TFT-LCD 显示技术来说,接口协议是决定 T-CON 和 SD 之间数据信号能否正确传输的关键。

国内外许多公司对 T-CON 与 SD 之间的接口协议进行了深入研究。为响应市场需求,接口协议经历了三代发展。第一代接口协议使用 TTL 或 CMOS 电平并行传输数据。该协议仅适用于低分辨率、小尺寸 TFT-LCD。当数据传输量大且数据传输速率高时,第一代接口协议通常会引起诸如信号串扰、系统功耗和噪声干扰之类的问题。第二代接口协议采用低摆幅差分信号和串行传输的多点

总线结构。例如,美国国家半导体公司(NS)和德州仪器公司(TI)分别提出的低摆幅差分信号 RSDS(Reduced Swing Differential Signaling)^[4]和 mini-LVDS(mini-Low Voltage Differential Signaling)^[5-6]。一方面,利用信号上升沿和下降沿的双向传输模式,大大提升了信号的时钟频率并减小了信号的总线宽度;另一方面,通过降低信号幅度和传输线数量来降低 EMI 和功耗^[7]。然而,当应用于高级产品时,这种多点总线架构受到严峻挑战。因为屏幕尺寸的增加导致信号的传输线延长,高分辨率导致数据传输速率提升,使负载和寄生效应对信号传输路径的影响更加明显,从而导致信号传输系统的不稳定和传输信号质量的恶化^[8-9]。与第二代不同,第三代接口协议使用点对点架构,其中 T-CON 和每个 SD 由单独的差分数据对传输。除了保留第二代接口协议的优点之外,点对点结构还大幅减少了传输线的数量,并且信号线阻抗不受 SD 负载的影响。这些优点确保了基于点对点接口协议的数据传输稳定可靠,可支持大尺寸,高速率,高分辨率,高色深的 TFT-LCD^[10-11]。以 NS 基于点对点架构的接口协议提出的 PPDS(Point-to-point Differential Signaling)以及三星发布的 USI-T(Unified Standard Interface)为代表的传输方式逐步成为高阶 TFT-LCD 的主流传输方式。随后点对点接口蓬勃发展,包括群创的 CMPI(Clock eMbedded Point-to-point Interface)、LG 的 EPI(Embedded Clock Point-to-point Interface)、BOE 的

CEDS(Clock Embedded Differential Signal)等,其中 USI-T、EPI 和 CMPI 是无编码算法。假若 T-CON 与 SD 之间需要传输的是 8 bit RGB 数据,采用 USI-T 和 CEDS 协议传输则每一封包的数据量是 10 bit,EPI 和 CMPI 对应的每一封包数据分别为 28 bit 和 27 bit。一个封包的无效数据数量会直接影响操作频率,相同数据量时,无效数据比例越高,需提高操作频率来完成数据传输;此外,也存在传输信道浪费的问题。

基于上述讨论,本文提出了一种新型高速点对点接口协议,称为中国标准点对点接口 CSPI (China Standard Point-to-Point Interface) 协议,可有效地利用封包格式达到最佳传输速度,并且可有效地使用传输信道。通过实验论证,证实此传输协议可以解决高阶显示面板的频率带宽和信

号传输质量问题。

2 CSPI 协议架构及其通信原理

2.1 CSPI 协议架构

CSPI 协议是 T-CON 和 SD 之间的高速接口技术,适用于 LCD 面板显示模块。如图 1 所示,CSPI 协议采用 8 B/9 B 编码技术实现嵌入式时钟方案,规定了发送器和接收器的基本功能。由于时钟数据恢复 CDR(Clock Data Recovery)接收器的兼容性,CSPI 协议的加扰器/解扰器技术通常被称为扩频技术,是一种有效的降噪方法。输入数据首先在 CSPI 发送器 TX(Transmitter)和输出数据流中实现加扰和编码。CSPI 接收器 RX(Receiver)接收数据并实现解扰和解码。

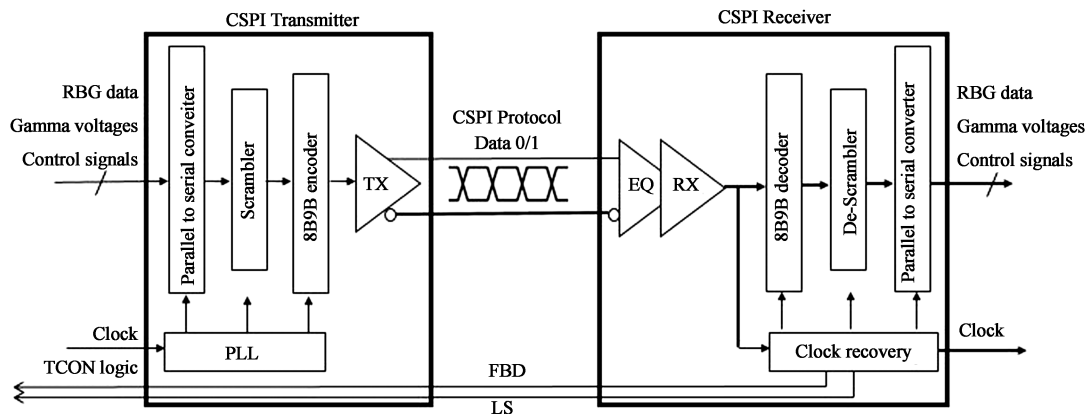


图 1 中国标准点对点接口框图

Fig.1 CSPI block diagram

2.2 CSPI 协议通信原理

点对点连接是指两个节点之间用于数据传输的通信连接。CSPI 规定了 8 位/9 位接口协议的基本功能:发送端 TX 发送功能;接收端 RX 接收功能。CSPI 接口传输协议定义时钟通道被嵌入到数据通道中,系统架构如图 2 所示。

在指定的应用中,数据通道的数目是可选的,决定数据通道数目的因素如下:视频流带宽;每个数据通道的最大带宽;指定应用中每个源极驱动芯片的最大带宽。

在规定的接口传输协议中,不同的应用,可分别采用一个通道(T-CON 和 SD 之间仅有一对差分信号)和两个通道(T-CON 和 SD 之间有两对差分信号)的方案。

指令通道 LS(Link Status)是一条单端信号线,LS 由外部拉高,当所有的源极驱动芯片接收状态为锁定时钟频率,源极驱动芯片会呈现高输入阻抗,当所有的源极驱动芯片都锁定后,LS 将被外部电路拉高,让 T-CON 可以进入下一个状态。当源极驱动芯片接收状态失锁,源极驱动芯片内部会拉低,所以只要有任何一颗源极驱动芯片拉低,LS 的脚位状态就会呈现为低,T-CON 会持续送时钟校准指令。回传数据 FBD(Feedback Data)是一条单端信号线,FBD 由外部拉高,当源极驱动芯片传输数据会将 FBD 拉低,再进行数据传输。

在本部分中规定的接口传输协议中,在物理层通道中串行传输编码数据。编码之后,每字节

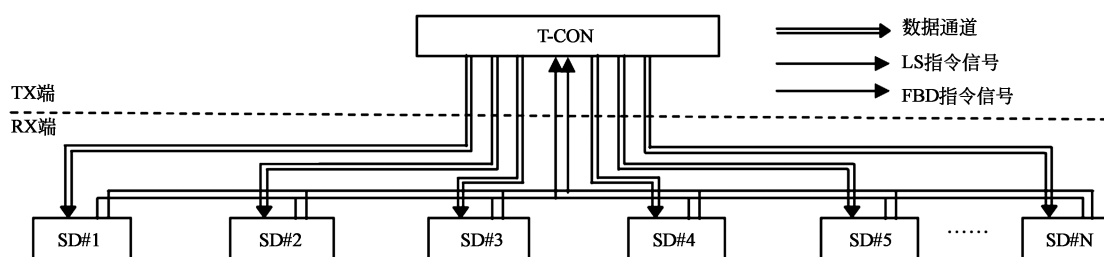


图2 CSPI系统结构

Fig.2 System architecture of CSPI

(8位)数据转换为9位。在T-CON和每一颗源极驱动芯片SD之间的物理层通道定义为端口(Port)。如果在T-CON与源极驱动芯片之间有一组差分信号线,这个端口定义为1-Port;如果在T-CON与源极驱动芯片之间有两组差分信号线,这个端口定义为2-Port。

接口传输协议中,遵从低位优先原则,例如最低位的字节(0位)首先传输,在每一个字节中,最低有效位LSB(Least Significant Bit)首先传输,最高有效位MSB(Most Significant Bit)最后传输。这一规则同时适用于数据传输和控制指令传输。

3 CSPI 协议设计

3.1 CSPI 发送协议设计

图3描述了发送端协议层、物理层的架构。

发送端共有5个工作状态:关机状态、上电后等待状态、时钟校准状态、特定对位封包对位状态和显示输出状态,如图4所示。

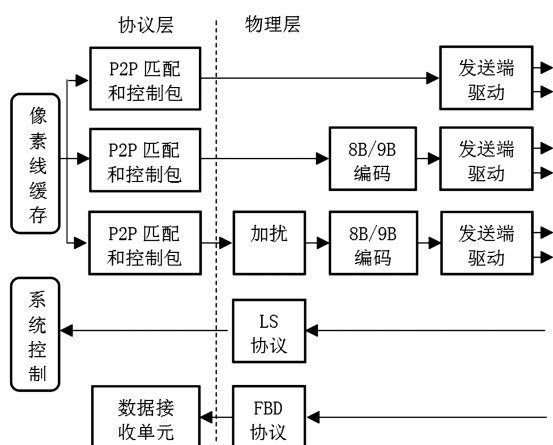


图3 发送端架构

Fig.3 TX function module diagram

(1) 在上电后,TX进入系统稳定与TX配置阶段。在该阶段中,应等待TX初始化配置完成,例如加载配置信息,TX锁相环PLL锁定等。

(2) CDR校准,即TX、RX时钟校准状态,CDR校准完成后,LS信号输出高电平给T-CON,通知发送端可以传输下一阶段的数据。

(3) 若CDR校准失败,会处于失锁状态,LS信号输出低电平给T-CON,再重新做CDR校准。

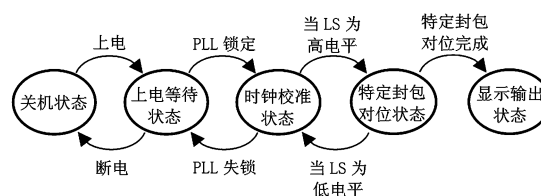


图4 发送端流程

Fig.4 TX working model conversion relationship

3.2 CSPI 接收协议设计

图5描述了接收端协议层、物理层的架构。

接收端共有4个工作状态:关机状态、时钟校准状态、特定对位封包对位状态和显示输出状态,

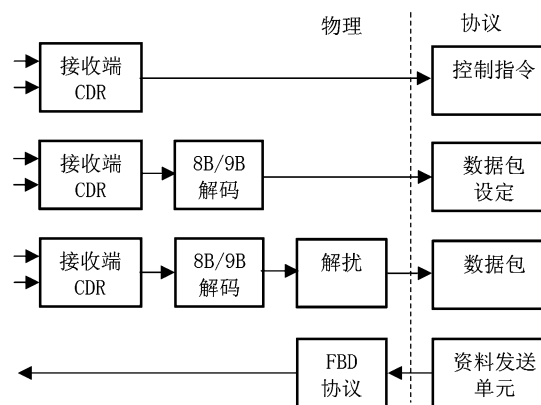


图5 接收端架构

Fig.5 RX function module diagram

如图 6 所示。

(1) 在上电后,接收端进行时钟校准,时钟校准完成后,接收端输出 LS 信号高电平给发送端,通知发送端可以传输下一阶段的数据。

(2) 若时钟校准失败,接收端会将 LS 信号拉低,输出 LS 低电平给发送端,发送端重新发送时钟校准。

(3) 特定封包对位状态,可由数据中的标头指令封包或标尾指令封包进行数据对齐,对位完成后,接收端就可正常输出画面。

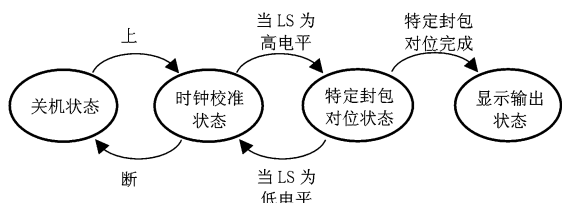


图 6 接收端流程

Fig.6 RX working model conversion relationship

3.3 CSPI 编码和解码设计

3.3.1 设计概述

显示系统主要参数包括源极驱动芯片数量、每个端口的通道数、发送端和接收端之间的传输速率等。这些参数符合如下关系：

$$BPP \times FP \times 1.125 < LS \times LC \times SDC \times 0.95 \quad (1)$$

其中: BPP 表示每像素包含数据比特数, FP 表示像素时钟频率, LC 表示每端口差分线数量, LS 表示传输速率, SDC 表示源极驱动芯片数量, 0.95 表示用于补偿展频功能带来的临时性的带宽损耗, 1.125 表示 8 位/9 位带来的带宽损耗。

所有高于 703.8 Mb/s 的连接速率都可使用。考虑到高速传输的成本影响及功率损耗, 选择接近最低速率的参数。

3.3.2 CSPI 编码设计

CSPI 协议采用 8 B/9 B 编码技术实现时钟嵌入功能。首先对原始数据进行质量判断, 然后根据编码算法将原始的 8 位数据编码为 9 位, 使数据中连续 0 或 1 的长度控制在 5 以内, 最终保证信号质量。8 位/9 位编码流程如图 7 所示。

其中: $bm[0 \sim 7]$ 表示原始数据的第 0 位至第 7 位, $bn[0 \sim 8]$ 表示编码数据第 0 位至第 8 位, $NAND$ 表示逻辑运算与非, OR 表示逻辑运算或, $\sim$ 表示逻辑运算非, $=$ 表示赋值。

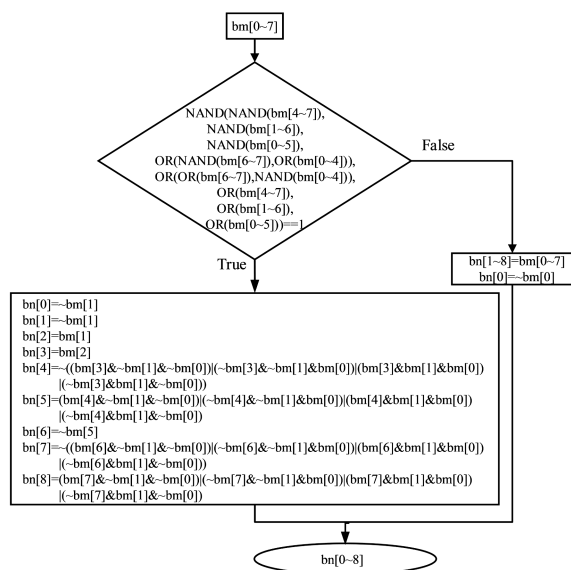


图 7 编码流程图

Fig.7 Flowchart of encoding algorithm

3.3.3 CSPI 解码设计

解码是编码的逆过程。主要通过判断及逻辑运算再忽略标志位来实现 9 位转换为 8 位目的, 最后恢复得到原始数据。8 位/9 位解码流程如图 8 所示。

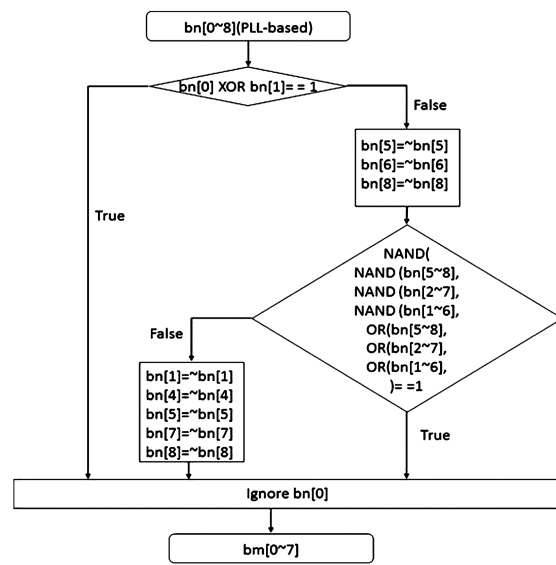


图 8 解码流程图

Fig.8 Flowchart of decoding algorithm

3.4 CSPI 扰码设计

TX 端执行 8 B/9 B 编码之前, 对原始信号进行加扰。数据加扰可以将信号频率点打散, 即将能量分散, 达到降低 EMI 的目的。在数据加扰功

能开启时,T-CON 发送加扰数据给 SD,SD 必须解扰码才能获取真实的视频显示数据。CSPI 扰码多项式设计方法如图 9、10 所示。

其中, $S[1] \sim S[15]$ 是扰码密钥, $Din[0] \sim Din[7]$ 是扰码数据, $Dout[0] \sim Dout[7]$ 是解扰码数据。

$$S[5] \text{ XOR } Din[7] = Dout[7]$$

$$S[6] \text{ XOR } Din[6] = Dout[6]$$

$$S[7] \text{ XOR } Din[5] = Dout[5]$$

$$S[8] \text{ XOR } Din[4] = Dout[4]$$

$$S[9] \text{ XOR } Din[3] = Dout[3]$$

$$S[10] \text{ XOR } Din[2] = Dout[2]$$

$$S[11] \text{ XOR } Din[1] = Dout[1]$$

$$S[12] \text{ XOR } Din[0] = Dout[0]$$

XOR 表示逻辑运算异或。

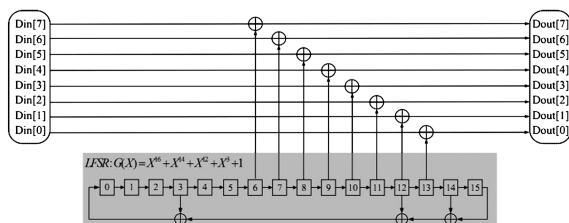


图9 加扰多项式设计

Fig.9 Scrambler key generator

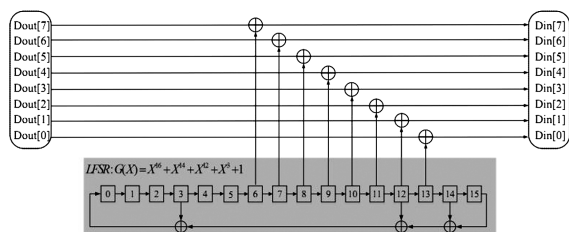


图10 解扰多项式设计

Fig.10 Descrambler key generator

4 实验数据与结果

基于1383 mm(55 in)超高清LCD面板的实验平台,验证CSPI高速传输协议性能和质量。

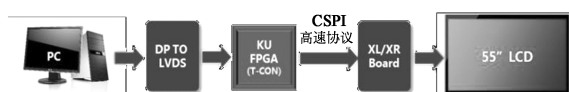


图11 CSPI验证平台

Fig.11 Experimental platform of the CSPI protocol

硬件平台搭建如图11所示。

眼图是评估信号质量的最有效和最直接的方法,眼睛“开口”的幅度和宽度是衡量基带传输系统性能的指标^[12]。眼睛张得越大且眼图越端正,表示码间串扰越小,信号质量优;反之表示码间串扰越大,信号严重失真。眼图模板Mask是判断眼图测量结果的主要依据,Mask规定了串行信号“1”电平的容限,“0”电平的容限,上升时间、下降时间的容限。CSPI信号眼图Mask规格标准设定如图12所示。

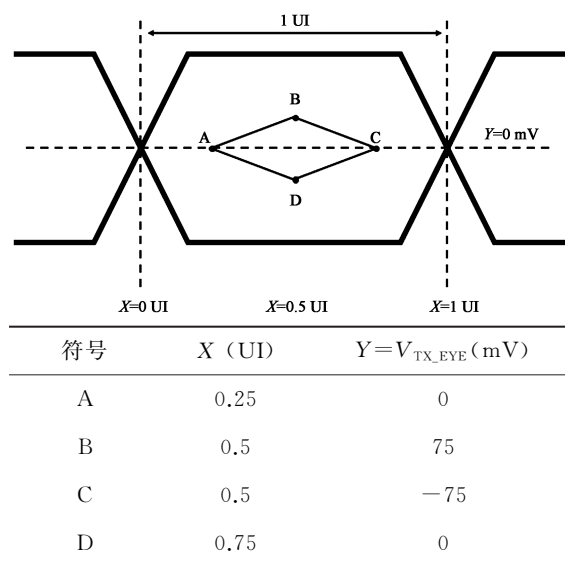


图12 CSPI眼图规格

Fig.12 Eye diagram specification of CSPI

图13展示了传输速率约为1.4 Gb/s时终端电阻输出端的实测眼图。眼图结果表明,眼睛“开口”的最小幅度和宽度分别约为312 mV和548 ps,符合规格要求的同时并保有足够余量。测量结果表明:即使数据传输速率高达1.4 GMb/s,CSPI协议仍可稳定地工作,且信号质量良好,抖动小。这主要得益于CSPI使用点对点架构,极大改善了信号完整性问题。

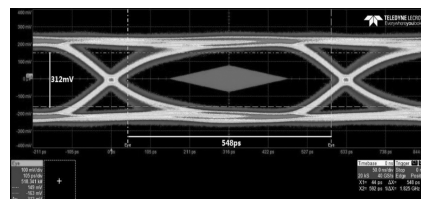


图13 实验平台实测的眼图

Fig.13 Eye diagram measured on the experimental platform

5 结 论

本文提出了一种名为 CSPI 的点对点高速传输协议。通过测量的 1 383 mm (55 in) 超高清 (UHD) LCD 面板眼图, 眼图中眼睛“开口”的最小

幅度和宽度分别约为 312 mV 和 548 ps, 符合规格要求并保有余量。测量结果表明, CSPI 协议具有高传输速率, 低 EMI 性能和较少信号线数量的突出特性, 特别适用于高级 TFT-LCD。这对于 TFT-LCD 在各种特殊领域的广泛应用具有深远意义。

参 考 文 献:

- [1] 李继军, 聂晓梦, 甄威, 等. 显示技术比较及新进展 [J]. 液晶与显示, 2018, 33(1): 74-84.
LI J J, NIE X M, ZHEN W, *et al.* New developments and comparisons in display technology [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(1): 74-84. (in Chinese)
- [2] 朱京平. 光电子技术基础 [M]. 北京: 科学出版社, 2003: 220-224.
ZHU J P. *Optoelectronic Technology Foundation* [M]. Beijing: Science Press, 2003: 220-224. (in Chinese)
- [3] 刘莎, 王丹, 杨照坤, 等. TFT-LCD 技术发展趋势浅析 [J]. 液晶与显示, 2018, 33(6): 457-463.
LIU S, WANG D, YANG Z K, *et al.* Key technology trends analysis of TFT-LCD [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(6): 457-463. (in Chinese)
- [4] National Semiconductor Corporation. RSDS™ “intra-panel” interface specification [R]. National Semiconductor Corporation, 2003: 1-15.
- [5] Texas Instruments Corporation. The Mini-LVDS interface specification [R]. Texas Instruments Corporation, 2001: 1-19.
- [6] 刘杰, 程松华, 张永栋, 等. 基于 Mini-LVDS 技术的 TFT-LCD 时序控制器的设计 [J]. 液晶与显示, 2014, 29(2): 238-244.
LIU J, CHENG S H, ZHANG Y D, *et al.* Design of TFT-LCD timing controller based on mini-LVDS technology [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(2): 238-244. (in Chinese)
- [7] 陈建军, 金强宁, 章鹏, 等. 基于 FPGA 的 TFT 液晶显示时序控制器设计 [J]. 液晶与显示, 2015, 30(4): 647-654.
CHEN J J, JIN Q N, ZHANG P, *et al.* FPGA-based TFT LCD timing controller design [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(4): 647-654. (in Chinese)
- [8] KIM J H, OH W T, KIM T J, *et al.* LCD-TV system with 2.8Gbps/lane intra-panel interface for 3D TV applications [J]. *SID Symposium Digest of Technical Papers*, 2012, 43(1): 572-575.
- [9] 杨蕾. 适用于多标准的大屏幕 TFT-LCD 内部接口电路的研究与设计 [D]. 武汉: 华中科技大学, 2009.
YANG L. Research and design of the multi-purpose TFT-LCD intra-panel interface [D]. Wuhan: Huazhong University of Science and Technology, 2009. (in Chinese)
- [10] MCCARTNEY R I, BELL M. A third generation timing controller and column driver architecture using point-to-point differential signaling [J]. *SID Symposium Digest of Technical Papers*, 2004, 35(1): 1556-1559.
- [11] JEON H K, MOON Y H, KANG J K, *et al.* An intra-panel interface with clock-embedded differential signaling for TFT-LCD systems [J]. *Journal of Display Technology*, 2011, 7(10): 562-571.
- [12] 付英华. 眼图测试在串行通信系统中的应用研究 [D]. 南京: 南京大学, 2016.
FU Y H. Study on application of eye diagram test in serial communication system [D]. Nanjing: Nanjing University, 2016. (in Chinese)

作者简介:



赵 斌 (1978—), 男, 内蒙古乌海人, 博士研究生, 高级工程师, 2003 年于燕山大学获得硕士学位, 主要研究方向为图像处理、高速信号处理等。E-mail: csotzhaobin@tcl.com



王拂依 (1990—), 女, 辽宁盘锦人, 硕士, 2018 年于天津大学获得硕士学位, 主要从事 TFT-LCD 液晶行业产品电路设计及驱动研究。E-mail: wangfuyi@tcl.com